



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09008702 A**(43) Date of publication of application: **10.01.97**

(51) Int. Cl.

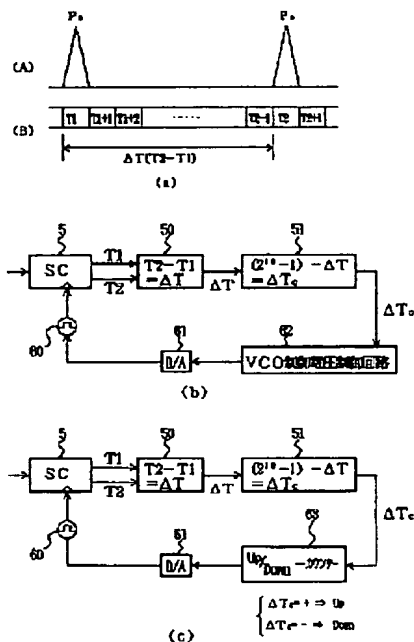
H04B 1/707
H04L 7/00
(21) Application number: **07157399**(22) Date of filing: **23.06.95**(71) Applicant: **FUJITSU LTD**
 (72) Inventor: **KUBO NORIO**
NAKAMURA SATOSHI
(54) **SPREAD SPECTRUM SYSTEM RECEIVER**

(57) Abstract:

PURPOSE: To reduce the precision required for the oscillator of a master clock by using a voltage controlled oscillator.

CONSTITUTION: Concerning a spread spectrum system receiver for receiving a spectrum spread signal, for which a cyclic pseudo noise code signal is exerted upon a digital signal, exerting the signal of the same code as the pseudo noise code signal upon this received spread spectrum signal and returning it to the band of the digital signal, this device is provided with a correlator 5 for correlating the pseudo noise code and the signal of the same code, circuits 50 and 51 for finding chip difference or time difference between the timing of correlation to be next detected, and circuits 61 and 62 for controlling the frequency of the signal of the same code corresponding to the chip difference or time difference found by these circuits 50 and 51.

COPYRIGHT: (C)1997,JPO



THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-8702

(43)公開日 平成9年(1997)1月10日

(51)IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	1/707		H 0 4 J 13/00	D
H 0 4 L	7/00		H 0 4 L 7/00	C

審査請求 未請求 請求項の数6 OL (全 15 頁)

(21)出願番号 特願平7-157399

(22)出願日 平成7年(1995)6月23日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 久保 徳郎

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 中村 聡

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

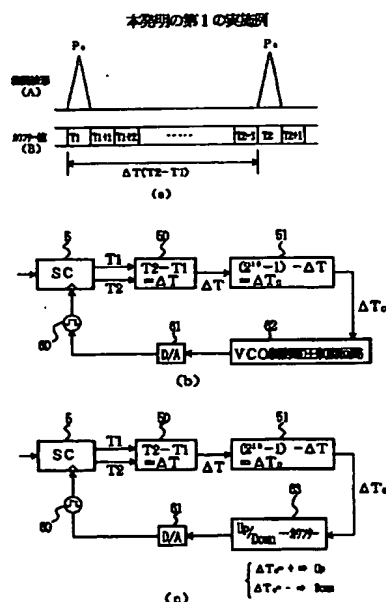
(74)代理人 弁理士 林 恒徳

(54) 【発明の名称】 スペクトラム拡散方式受信機

(57) 【要約】

【目的】電圧制御発振器を用い、マスタークロックの発振器に要求される精度の軽減を可能とするスペクトラム拡散方式受信機を提供する。

【構成】ディジタル信号に周期的な疑似雑音符号信号が作用されたスペクトラム拡散信号を受信し、疑似雑音符号信号と同じ符号の信号を該受信されたスペクトラム拡散信号に作用させてディジタル信号の帯域に戻すスペクトラム拡散方式受信機において、疑似雑音符号と該同じ符号の信号との相関を得る相関器と、相関器により先に検出される相関のタイミングと、次に検出される相関のタイミングとのチップ差又は時間差を求める回路と、この回路により求められるチップ差又は時間差に応じて、該同じ符号の信号の周波数を制御する回路を有する。



【特許請求の範囲】

【請求項1】 デジタル信号に周期的な疑似雑音符号信号が作用されたスペクトラム拡散信号を受信し、該疑似雑音符号信号と同じ符号の信号を該受信されたスペクトラム拡散信号に作用させて該デジタル信号の帯域に戻すスペクトラム拡散方式受信機において、
該疑似雑音符号と該同じ符号の信号との相関を得る相関器と、

該相関器により先に検出される相関のタイミングと、次に検出される相関のタイミングとのチップ差又は時間差を求める回路と、

該回路により求められる該チップ差又は時間差に応じて、該同じ符号の信号の周波数を制御する回路を有することを特徴とするスペクトラム拡散方式受信機。

【請求項2】 請求項1において、
電圧制御発振器を有し、前記同じ符号の信号の周波数を制御する回路は、前記チップ差又は時間差を求める回路により検出されるチップ差又は時間差分だけ該電圧制御発振器の発振周波数を増減するように制御することを特徴とするスペクトラム拡散方式受信機。

【請求項3】 請求項1において、
電圧制御発振器を有し、且つ前記同じ符号の信号の周波数を制御する回路はアップダウンカウンタで構成され、前記チップ差又は時間差が正か、負かにより、該アップダウンカウンタのカウントの方向を制御することを特徴とするスペクトラム拡散方式受信機。

【請求項4】 請求項1、2又は3において、
前記相関器により複数の相関値が得られる時、該複数の相関値の内での最大の相関値を前記タイミングの基準とすることを特徴とするスペクトラム拡散方式受信機。

【請求項5】 請求項4において、
前記複数の相関値の大きさが等しい時は、検出される相関値の順位により特定の相関値を前記タイミングの基準とすることを特徴とするスペクトラム拡散方式受信機。

【請求項6】 請求項1、2又は3において、更に、
前記相関値のレベルを所定の閾値と比較する比較器を有し、
該比較器により該相関値のレベルが該所定の閾値以下であると判定する時、

前記同じ符号の信号の周波数を制御する回路は、電圧制御発振器の発振周波数の制御を停止し、先の制御状態に保持することを特徴とするスペクトラム拡散方式受信機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スペクトラム拡散通信（以下SS通信という）を行う受信装置に関し、特に拡散符号の同期を取得するスライディング相関器を有し、そのマスタークロックの周波数同期を行うスペクトラム拡散方式受信装置に関する。

【0002】

【従来の技術】 SS通信は、次世代の移動体通信として有力視されている。ここでSS通信とは情報信号のスペクトルを本来の情報帯域に比し、十分に広い帯域に拡散して伝送する通信である。

【0003】 送信信号を十分に広い帯域に拡散する方法として、情報信号に十分に広い帯域の周期的な疑似雑音（PN）信号を作用させることにより行われる。更に、具体的な拡散の方法は、拡散に用いるPN信号の系列の種類により異なり、直接拡散（DS：Direct Sequence）方式や、周波数ホッピング（FH：Frequency Hopping）方式がある。

【0004】 DS方式は、図8により説明される。図8において、Txは送信側、Rxは受信側の信号のタイムチャートである。送信側Txにおいて（a）は送信されるデジタル情報信号である。（b）・・・（b）'は、複数のPN信号であり、特に複数の回線の各々に対応して符号化された周期性を有する疑似雑音符号信号である。この疑似雑音符号信号を情報信号に作用させ、十分に広い帯域の送信信号を得る。

【0005】 この十分に広い帯域の信号が送信側Rxで受信される。更に、受信側Rxにおいて、送信側で作用させた疑似雑音符号信号と同じ系列の疑似雑音符号信号【図8：Rx（b）】を受信信号に作用させて逆拡散を行う。これにより、疑似雑音符号信号（b）が作用された回線の情報信号のみについて、元の情報信号スペクトルに対し抽出可能となる。

【0006】 かかるSS方式における受信装置の代表的な構成が図9に示される。図9において、アンテナ1で受信されたRF信号は受信増幅器2を通してダウンコンバータ3に導かれる。ダウンコンバータ3において、ローカル発振器4からの変調周波数信号と乗算されて、受信信号はBB（ベース・バンド）信号に変換される。

【0007】 このBB信号は、逆拡散回路8により、再生疑似雑音符号信号と作用されることにより、先に説明したように、送信側で疑似雑音符号信号により作用された回線の情報信号が抽出される。次いで、この情報信号を識別器9で識別することに再生データが得られる。

【0008】 したがって、再生疑似雑音符号信号は、送信された疑似雑音符号信号と同期していることが必要である。このためにスライディング相関器5は、BB信号に含まれる拡散符号である疑似雑音符号信号との初期同期を行う。その後ディレイロックループ回路7に同期タイミングが入力され、同期追従がディレイロックループ回路7により行われる。

【0009】 この際にスライディング相関器5に入力されるマスタークロックを発生するマスタークロック発振器6は安定な周波数発振動作を行うことが必要である。

【0010】 その様子を図10を参照して説明する。図10において、100、101、102はスライディング相

関器5によって捕らえられる受信信号に於ける疑似雑音符号信号の同期タイミングである。スライディング相関器5において、マスタークロックに基づき発生される受信側の同期タイミングと同期タイミングが一致したとき相関波形(A)が出力される。

【0011】(B)は、スライディング相関器5において、最初の同期タイミングの一致時点を基準にマスタークロック発振器6からのマスタークロックが計数されるカウンタ値である。図10(a)は、マスタークロック周波数が正確な時である。

【0012】今、疑似雑音符号信号の発生器としてのシフトレジスタの段数が10段であると考え、PNシフトレジスタが10段の時は、1周期が1023であるので、最初に表れた大きな相関値出力100のタイミングをカウンタ値(B)で1とすると、次に表れる相関値出力は1024となる〔図10(a)参照〕。

【0013】次に、マスタークロック周波数が小さい時は、周波数が早い為に本来カウンタ値が1024の時*

チップレート: 10 Mcps

疑似雑音符号信号発生器: シフトレジスタ10段

$2^{10}-1=1023$ (疑似雑音符号信号周期)

2倍オーバーサンプル

1Δ型-DLL方式

従って、初期同期にかかる時間 = $1023 \times 1023 \times 2 \times 1 / 10 \text{ MHz}$
= 209.3058 msec である。

【0019】更に、209.3058 msec後にスライディング相関器5により求めた同期タイミングをディレイロックアップ回路7にプリセットを行う。ここで、1Δ型-DLL方式を用いる場合には、プリセットするタイミングは3チップ以内の誤差に納める必要がある。(3チップ以内にプリセットされれば、ディレイロックアップ回路7は正しいタイミングに収束するが、3チップをはずすと収束不能となる。) ※

$$f^+ = 1023 \times 1023 \times 2 \div (0.2093058 - 0.00000015) = 10,000,007.1666 \text{ Hz}$$

$$\Delta f = +7.1666 \text{ Hz}$$

$$f^- = 1023 \times 1023 \times 2 \div (0.2093058 + 0.00000015) = 9,999,992.8334 \text{ Hz}$$

$$\Delta f = -7.1666 \text{ Hz}$$

よって、 $\pm 0.71666 \text{ ppm}$ 以下の安定度がスライディング相関器5のマスタークロック発振器6に要求される。

【0022】

【発明が解決しようとする課題】前記のように高安定なマスタークロック発振器6の使用は、その大きさ、価格等において不利であるばかりか、温度変動及び経年変化等による劣化を考慮すると現実的ではない。

【0023】したがって、本発明の目的は、かかるマスタークロック発振器6に要求される精度の軽減を可能とするスペクトラム拡散方式受信機を提供することにある。

【0024】更に、本発明の目的は、特に電圧制御発振

*に相関出力があるべきであるが、1024よりも小さいカウンタ値〔例えば、1022: 図10(B)参照〕に相関出力が表れている。

【0014】図10(C)は、反対に周波数が大きい時の様子を示しており、カウンタ値が1024よりも大きいところ(例えば、1026)で相関出力が得られている。

【0015】このようにマスタークロック発振器6の精度が正しくないと、相関出力のタイミングがずれ、したがって正しいタイミングで再生疑似雑音符号信号を得ることが出来なくなる。又、得られる相関値も本来得ることができる値よりも小さくなってしまふ。

【0016】更に、数的にマスタークロック発振器6に要求される精度について、以下に考察する。

【0017】今、以下の条件におけるスライディング相関器5に入力されるマスタークロック発振器6のマスタークロックの安定度を計算する。

【0018】

※ここで3チップは、300 nsec ($3 \times 1 / 10 \text{ MHz}$)となり、よって、209.3058 msec期間のずれは、 $\pm 150 \text{ nsec}$ 以内にしないとスライディング相関器5からディレイロックアップ回路7へのプリセットは失敗する。

【0020】この際にスライディング相関器5へのマスタークロックの安定度は、以下の精度が必要である。

【0021】

器を用い、マスタークロック発振器6に要求される精度の軽減を可能とするスペクトラム拡散方式受信機を提供することにある。

【0025】

【課題を解決するための手段及び作用】上記課題を達成する本発明にしたがうスペクトラム拡散方式受信機であって、請求項1に記載の発明の構成は、デジタル信号に周期的な疑似雑音符号信号が作用されたスペクトラム拡散信号を受信し、疑似雑音符号信号と同じ符号の信号を該受信されたスペクトラム拡散信号に作用させて該デジタル信号の帯域に戻すスペクトラム拡散方式受信機において、前記疑似雑音符号と同じ符号の信号との相関を得る相関器と、相関器により先に検出される相関のタ

イミングと、次に検出される相関のタイミングとのチップ差又は時間差を求める回路と、この回路により求められるチップ差又は時間差に応じて、前記同じ符号の信号の周波数を制御する回路を有する。

【0026】また、請求項2に記載の発明は、前記において、電圧制御発振器を有し、前記同じ符号の信号の周波数を制御する回路は、前記チップ差又は時間差を求める回路により検出されるチップ差又は時間差分だけ該電圧制御発振器の発振周波数を増減するように制御する。

【0027】更に、請求項3に記載の発明は、請求項1
10 に記載の構成において、更に、電圧制御発振器を有し、且つ前記同じ符号の信号の周波数を制御する回路はアップダウンカウンタで構成され、前記チップ差又は時間差が正か、負かにより、アップダウンカウンタのカウントの方向を制御する。

【0028】かかる請求項1乃至3の構成により、本発明は、先に検出される相関のタイミングと、次に検出される相関のタイミングとのチップ差又は時間差により前記同じ符号の信号の周波数を制御するようにし、特に同じ符号の信号の周波数の発振器として電圧制御発振器を用いているので、容易に周波数同期が可能であり、
20 高精度の発振器が不要である。

【0029】また請求項4に記載の発明は、請求項1、2又は3に記載の構成において、前記相関器により複数の相関値が得られる時、複数の相関値の中で最大の相関値を前記タイミングの基準とする。

【0030】また、請求項5に記載の発明は、請求項4に記載の構成において、前記複数の相関値の大きさが等しい時は、検出される相関値の順位により特定の相関値を前記タイミングの基準とする。

【0031】請求項6に記載の発明は、請求項1、2又は3に記載の構成において、更に、前記相関値のレベルを所定の閾値と比較する比較器を有し、比較器により相関値のレベルが該所定の閾値以下であると判定する時、前記同じ符号の信号の周波数を制御する回路は、電圧制御発振器の発振周波数の制御を停止し、先の制御状態に保持する。

【0032】更に請求項4乃至6の構成により、マルチパスに起因して遅延波がある場合、あるいは、移動通信体の移動により電界強度が下がる場合であっても、複数の相関値間で最も確からしい相関値を選択し、あるいは、所定の閾値との比較により周波数制御のタイミングを変えることが可能であり、より正しく周波数同期が可能、したがってより早い引き込み動作が可能である。

【0033】

【実施例】以下、本発明の実施例を図面にしたがって説明する。尚、図において同一または類似のものには同一の参照番号及び記号を付して説明する。

【0034】図1は本発明の第1の実施例を説明する図である。特に、遅延波が無く、受信信号のレベル変動も

無い場合（静止時）に対応出来る実施例である。

【0035】図1(a)において、図10で説明したと同様に(A)は相関波形、(B)はカウンタ値を示す。図1(b)、(c)は、それぞれ本発明にしたがうスライディング相関器5とマスタークロックの発振器構成例を示す図である。

【0036】図1(a)において、先にスライディング相関器5が捕まえた疑似雑音符号信号の同期タイミングをT1とし、この時カウンタの値を1にセットする。次の周期に取得したタイミングをT2としてこのカウンタ値を読み出す。

【0037】ここで、マスタークロックの周波数が正確であればタイミングT2におけるカウンタ値が1024である。これに対し、図1(b)、図1(c)の差検出回路50により、読み出した値が1024からどれだけずれているか ΔT_c を検出する。ここで、このずれ量 ΔT_c は、先の周期に検出される相関のタイミングと、次の周期に検出される相関のタイミングとのチップ差又は時間差に相当する。

【0038】次いで、このずれ量 ΔT_c に相当する制御電圧を電圧制御型の周波数発振器60に加算もしくは減算する。

【0039】ここでずれ量 ΔT_c に相当する制御電圧を電圧制御型の周波数発振器60に加算もしくは減算する方法として、具体的には、図1(b)、図1(c)では、T2とT1との差 ΔT を演算する第一の演算回路50と、この第一の演算回路50の出力値 ΔT を基準カウンタ値1023(=2¹⁰-1)から引き算し、その差 ΔT_c を演算する第二の演算回路51を有する。

30 【0040】更に、図1(b)では第二の演算回路51の出力 ΔT_c は、結局クロック数を意味するので、このクロック数 ΔT_c の大きさを対応するデジタル値に変換する変換回路であるVCO制御電圧制御回路62に入力される。

【0041】VCO制御電圧制御回路62からクロック数 ΔT_c の大きさを対応するデジタル値を出力し、これがアナログ/デジタル(A/D)変換回路61に入力される。A/D変換回路61はデジタル値に対応するアナログ電圧を出力し、電圧制御発振器60に入力される。

40 【0042】電圧制御発振器60は、このアナログ電圧の大きさに比例する周波数のマスタークロック信号を出力し、スライディング相関器5に入力される。スライディング相関器5におけるマスタークロック信号と入力受信信号との相関を得る機能は、先に図9のSS方式受信器構成に関連して説明した通りである。

【0043】この構成によると、電圧制御発振器60を用いているので、拡散符号再生を行うスライディング相関器5に対するマスタークロック信号の発生のために高精度な発振器を使用する必要がなくなる。

7

【0044】図1(c)は、図1(b)の構成に比し、VCO制御電圧制御回路62に代えて、アップ/ダウンカウンタ63を用いる例である。第二の演算回路51の出力であるクロック数 ΔT_c に基づき、対応するクロック数分だけカウンタ値を増減するものである。

【0045】したがって、アップ/ダウンカウンタ63からのカウンタ値に対応する大きさのアナログ信号がA/D変換回路61から得られ、これによりスライディング相関器5が上記図1(b)と同様に制御される。

【0046】図2は、図1(a)に対応する具体的構成例ブロック図である。図2において、第一の演算回路50は、カウンタ501とデータラッチ回路502を有して構成される。即ち、スライディング相関器5は、図3に示す図10に相応する相関値出力タイミングを説明する図において、第一の相関ピークT1が得られる時、カウンタ501を1からスタートするプリセットパルスPPを出力する。

【0047】更に、スライディング相関器5は、第二の相関ピークT2が得られる時、カウンタ501のカウンタ値をラッチ回路502にラッチするラッチパルスLPを出力する。図3において(a)は、マスタークロックと受信信号クロックの間に周波数誤差が無い時の図であり、ラッチ回路502には、10段のシフトレジスタの計数値分の大きさ $(10^{10}-1)=1023$ がラッチされる。

【0048】(b)は、マスタークロックと受信信号クロックの間の周波数誤差が小さい時の図であり、ラッチ回路502には、10段のシフトレジスタの計数値分の大きさ $(10^{10}-1)=1023$ より小さい値1022がラッチされる。

【0049】更に、(c)は、マスタークロックと受信信号クロックの間の周波数誤差が大きい時であり、ラッチ回路502には、10段のシフトレジスタの計数値分の大きさ $(10^{10}-1)=1023$ より大きい値1024がラッチされる。

【0050】次いで、ラッチ回路502からラッチした値が第二の演算回路51に入力される。第二の演算回路51は、10段のシフトレジスタの計数値分の大きさ1023と入力されるラッチ回路502の出力との差の大きさを求める。即ち、周波数誤差が無い時は、“0”、受信信号クロックの周波数が大きい時はその差の大きさの数値“+00”、受信信号クロックの周波数が小さい時はその差の大きさの数値“-00”を出力する。

【0051】更に図2において、図1のVCO制御電圧制御回路62は、変換テーブル621と加減算回路622を有して構成される。変換テーブル621は、第二の演算回路51からの“0”を含む周波数差に対応する数値を入力し、これをアドレス信号として、予め記憶されているテーブルを参照し、対応する周波数誤差に対応する大きさの信号を出力する。

8

【0052】変換テーブル621の出力は、加減算回路622に入力され、そこで変換テーブル621の出力に対応する分だけ加算、又は減算される。加減算回路622の出力は、次いでD/A変換器61に入力される。加減算回路622の出力に対応するアナログ信号を電圧制御発振器60に対する制御電圧として出力する。

【0053】電圧制御発振器60は、制御電圧に比例する周波数の補正が行われたマスタークロックを出力し、スライディング相関器5に入力する。

【0054】図4は、図1(c)に対応する具体的構成例ブロック図である。図1(b)及び図2の構成と相違して、アップダウンカウンタ63が使用されているので、第二の演算回路51の機能が図2の場合と相違する。即ち、図4において、第二の演算回路51は、比較回路の機能を有し10段のシフトレジスタの計数値分の大きさ1023と入力されるラッチ回路502の出力との比較を行う。

【0055】この比較の結果、周波数誤差が無い時は、“0”、受信信号クロックの周波数が大きい時は正の信号、受信信号クロックの周波数が小さい時は負の信号を出力する。

【0056】アップダウンカウンタ63は、第二の演算回路51の出力に応じ、正の信号出力の時カウンタ値を上げ、負の出力信号の時カウンタ値を下げるように制御される。

【0057】この時のカウンタ63のカウンタ値が、D/A変換器61によりアナログ電圧に変換され、電圧制御発振器60に入力される。電圧制御発振器60はカウンタ値に対応する大きさの周波数のマスタークロックを出力し、スライディング相関器5に入力する。

【0058】ここで、図2と図4の構成を比較すると、図4の方が、構成が簡易である。しかし、図2の構成では、直接に受信信号のクロックとマスタークロックとの差を求め、この差を“0”とするように電圧制御発振器60に対する制御電圧を発生する。

【0059】これに対し、図4の構成では、受信信号のクロックとマスタークロックとの大小関係のみを判定し、順次大小関係が“0”に収束するように電圧制御発振器60に対する制御電圧を発生する。したがって、図4の構成では、図2の構成に比し、初期状態において引き込みに時間を要するという難点がある。

【0060】次にマルチバス等に起因して生じる遅延波が有り、受信信号のレベル変動が無い場合に適用される構成例が本発明の第2の実施例として図5に示される。

【0061】遅延波が有り、受信信号のレベル変動が無い場合は、図5(a)に示されるように、複数の相関値P0、P1、P2が検出される。この場合、スライディング相関器5により検出される複数の相関値の内、一番レベルの大きい信号波P0を検出する。

【0062】これは、“相関値が大きい信号=信号レベ

ルが大きい信号”である為に最も確からしい周波数誤差の推定が可能となるためである。同レベル相関値となった場合には、時間的な順番により信号を選ぶ検出する。

【0063】以上の方法により検出された信号により、第1の実施例と同様に ΔT の検出を行い、 ΔT に相当する制御電圧の加算もしくは減算を行う。このために本実施例においては、図5(b)、図5(c)に示すように、最大値検出器64を設けている。

【0064】即ち、初めの相関値のタイミング近傍 T_1 、 T_1' 、 T_1'' で遅延波による相関値を含む複数の相関値 P_0 、 P_1 、 P_2 が検出される。これら検出された相関値 P_0 、 P_1 、 P_2 は、最大値検出器64に入力され、最大レベルである相関値 P_0 のタイミング T_1' が出力される。

【0065】更に、次の相関値のタイミング近傍 T_2 、 T_2' 、 T_2'' で遅延波による相関値を含む複数の相関値 P_0 、 P_1 、 P_2 が検出される。同様に検出された相関値 P_0 、 P_1 、 P_2 が最大値検出器64に入力され、最大レベルである相関値 P_0 のタイミング T_2' が出力される。

【0066】したがって、タイミング T_2' とタイミング T_1' との差が第一の演算回路50により求められる。以下の動作は、図1～図4において説明したと同様である。即ち、最大値検出器64を有する他は、図5(b)、図5(c)はそれぞれ図1(b)、図1(c)に対応する。

【0067】図6は、更に本発明の第3の実施例を説明する図であり、遅延波が無く、受信信号のレベル変動がある場合に適用する例である。

【0068】ここで、受信側もしくは送信側が移動局である場合には、移動場所の環境により受信レベルが変動する。よって受信場所が電界強度の弱い場所等においては相関値出力が小さくなり、相関値出力の正しいタイミングの取得が行われない場合が考えられる。

【0069】このような受信電界強度が弱く十分な相関値が得られない状況において周波数の制御が正しく動作しない場合がありうる。第3の実施例はしたがって、スライディング相関器5において相関値に対するスレッシュホールド回路65を設け、受信レベルが小さいと判断した場合には、制御をストップさせマスタークロックの制御電圧をホールド状態にさせ、再び受信レベルが大きくなったと判断した時から再び制御を行うようにしている。

【0070】このために図1(b)、図1(c)の構成に対応する図6(b)、図6(c)において、比較器65を備えている。比較器65には、各周期における初めのタイミング T_1 の相関値レベルと次のタイミング T_2 の相関値レベルが入力される。ここで、このタイミング T_1 、 T_2 との差が一定となるように、マスタークロックの発振器60が制御されることは先に説明した実施例

と同様である。

【0071】図6の実施例では、更に比較器65において、タイミング T_1 、 T_2 のそれぞれの相関値レベルとスレッシュホールド(閾値) TL とが比較される。この比較において、相関値レベルがスレッシュホールド(閾値) TL より小さい時は、ホールド信号を出力する。

【0072】このホールド信号により図6(b)の構成では、VCO制御電圧制御回路62の動作を停止し、先の値に保持される。次いで、相関値レベルがスレッシュホールド(閾値) TL を越える場合は、再びVCO制御電圧制御回路62を再開し、図1(a)と同様の動作を継続する。

【0073】また、図6(c)の構成では、相関値レベルがスレッシュホールド(閾値) TL 以下の場合は、アップ/ダウンカウンタ63の計数動作を停止する。そして、相関値レベルがスレッシュホールド(閾値) TL を越える場合は、再びアップ/ダウンカウンタ63の計数の方向を示す第二の演算回路51からの出力信号に基づき、カウントを再開する。

【0074】図7は、更に本発明の第4の実施例であり、マルチパスによる遅延波が有り、更に、例えば移動局が移動時であって、受信信号のレベルが変動する場合の実施例である。

【0075】そして、かかる実施例の構成は、図5及び図6の実施例構成を複合したものである。したがって、図7(b)及び図7(c)において、スライディング相関器5と第一の演算回路50との間に最大値検出器64が備えられている。更にこの最大値検出器64で検出されたマルチパスによる遅延波による相関値を含む複数の相関値の内最大の相関値のタイミングが検出されて、入力される比較器65を有している。

【0076】かかる最大値検出器64及び比較器65のそれぞれ動作は、図5及び図6において説明したと同様である。

【0077】例えば、図7(a)において、第3周期の複数の相関値 P_0 、 P_1 、 P_2 の内、最大の相関値 P_0 のタイミング T_1' (T_2')が検出され、第一の演算回路50に入力される。同時に、相関値 P_0 のレベルが比較器65においてスレッシュホールドレベル TL と比較される。この比較の結果、相関値 P_0 のレベルがスレッシュホールドレベル TL より小さいことが検出される。

【0078】この時、ホールド信号が出力され、VCO制御電圧制御回路62[図7(b)]、アップ/ダウンカウンタ63[図7(c)]の動作が停止され、次の周期に相関値がスレッシュホールドレベル TL を越えるまで、それ以前の周期の制御状態に保留される。

【0079】

【発明の効果】以上説明したように、本発明により拡散符号再生を行うスライディング相関器に対するマスタークロックに高精度な発振器を使用する必要がなくなる。

11

これにより安価でなおかつ小型の発振器の使用できるスペクトラム拡散方式受信機が提供可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を説明する図である。

【図2】 図1 (b) の構成に対応する具体例ブロック図である。

【図3】 図2の動作を説明するタイムチャートを示す図である。

【図4】 図1 (c) の構成に対応する具体例ブロック図である。

【図5】 本発明の第2の実施例を説明する図である。

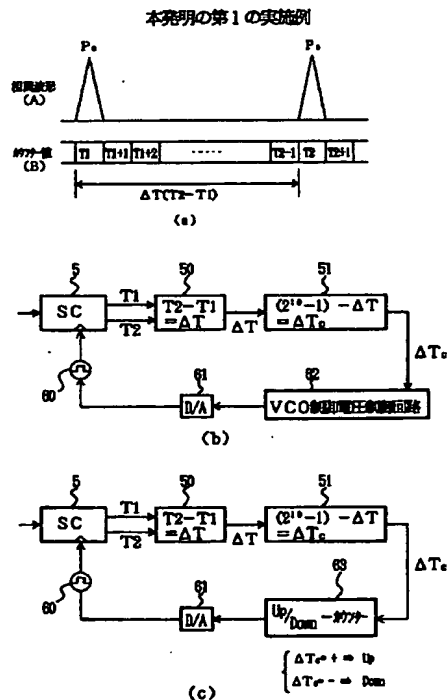
【図6】 本発明の第3の実施例を説明する図である。

【図7】 本発明の第4の実施例を説明する図である。

【図8】 SS方式受信機の動作を説明する図である。

【図9】 SS方式受信機の構成例ブロック図である。

【図1】



12

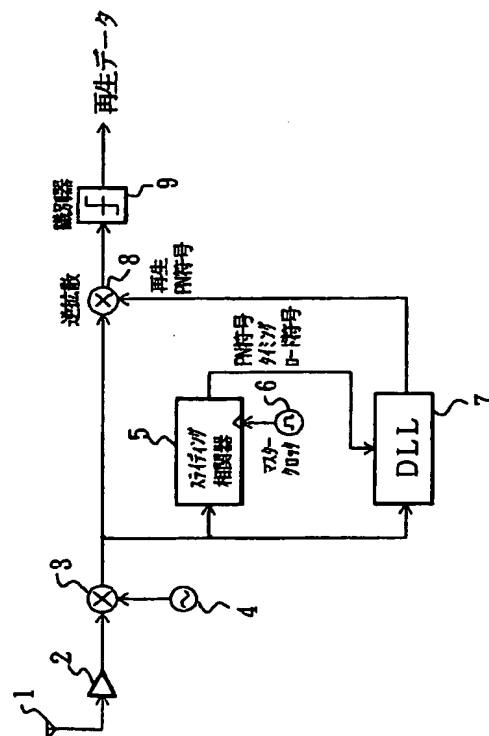
【図10】 相関値出力タイミングを説明する図である。

【符号の説明】

- 5 スライディング相関器
- 50 第一の演算回路
- 51 第二の演算回路
- 6 マスタークロック発振器
- 60 電圧制御発振器
- 61 D/A変換器
- 62 VCO制御電圧制御回路
- 63 アップダウンカウンタ
- 501 カウンタ
- 502 ラッチ回路
- 621 変換テーブル
- 622 加減算回路

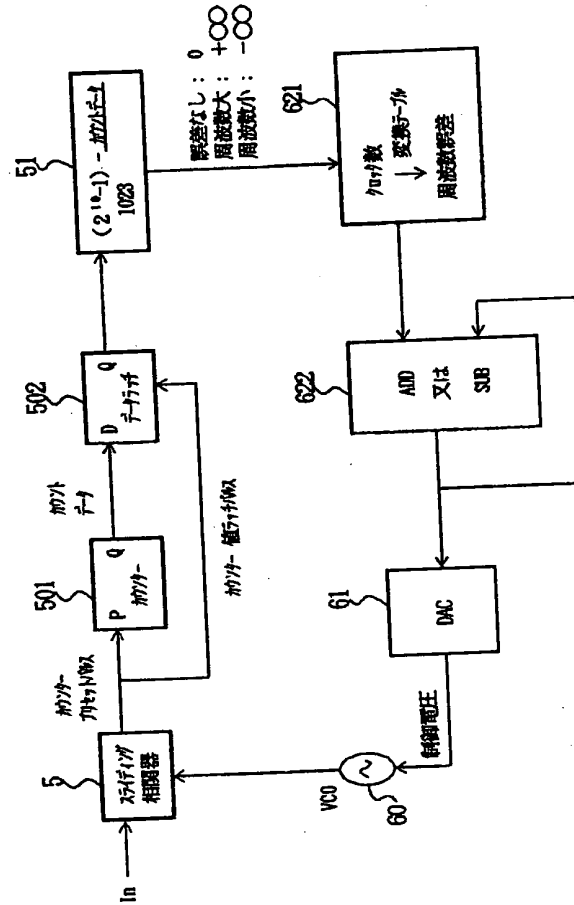
【図9】

SS方式受信機構成例



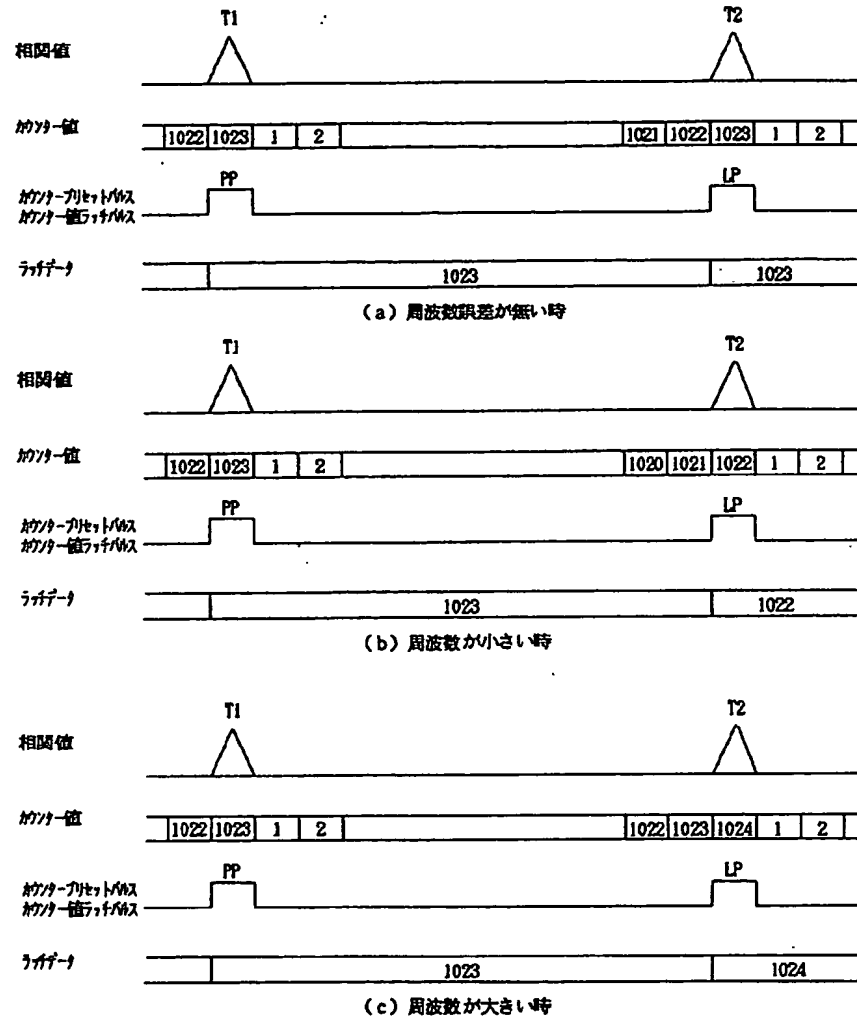
【図2】

図1 (b) に対応する具体例



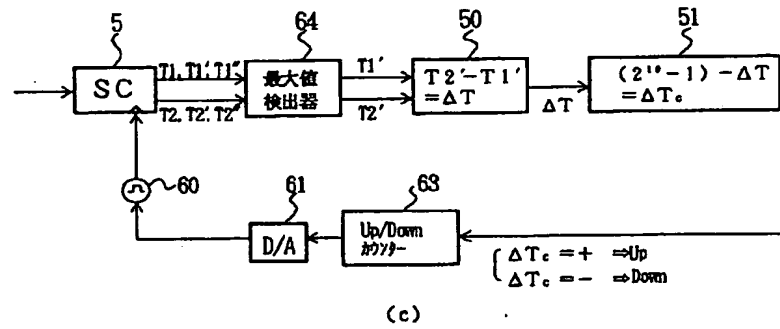
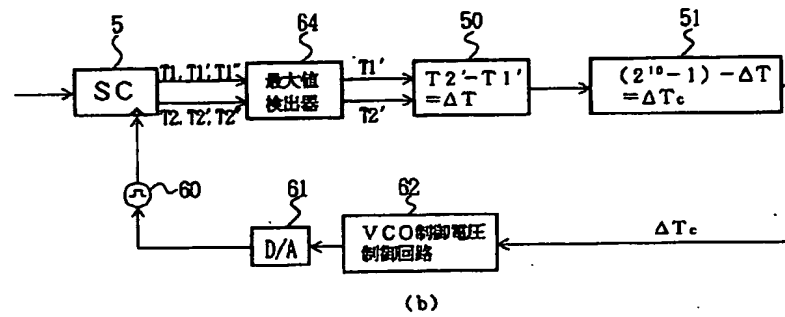
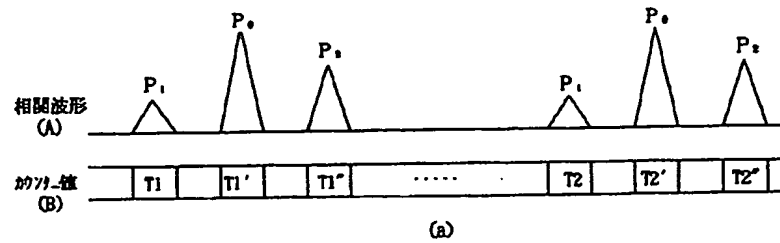
【図3】

図2の動作を説明するタイムチャート



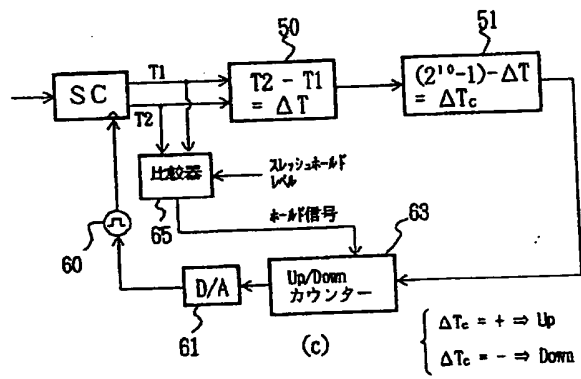
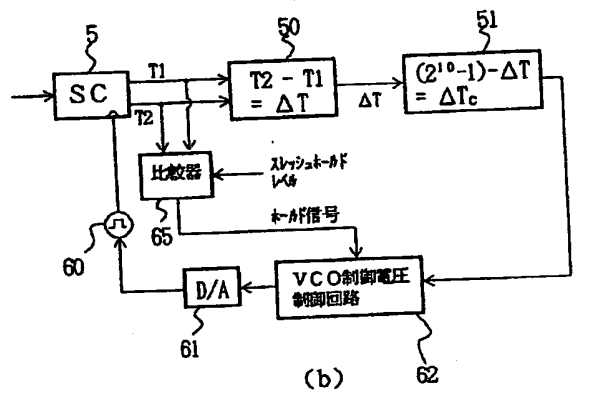
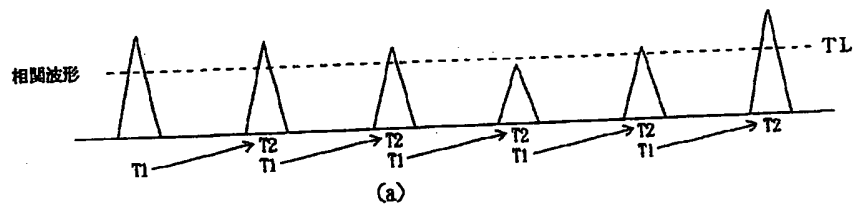
【図5】

本発明の第2の実施例



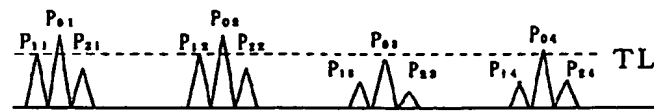
【図6】

本発明の第3の実施例

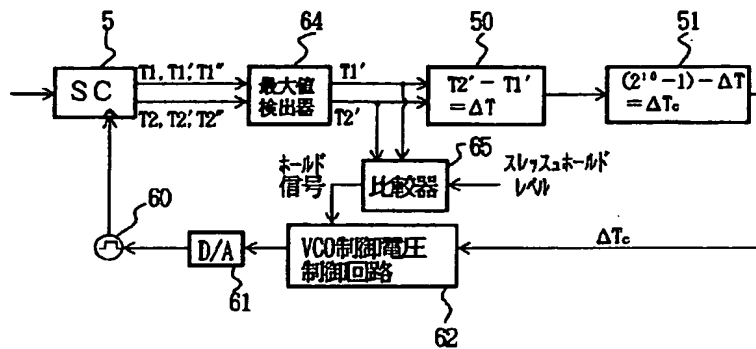


【図7】

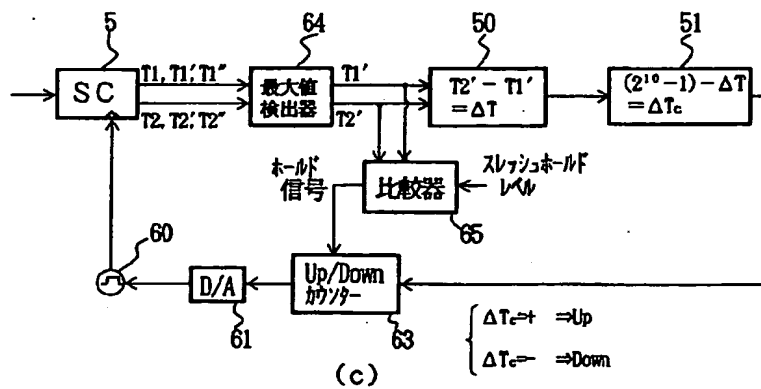
本発明の第4の実施例



(a)



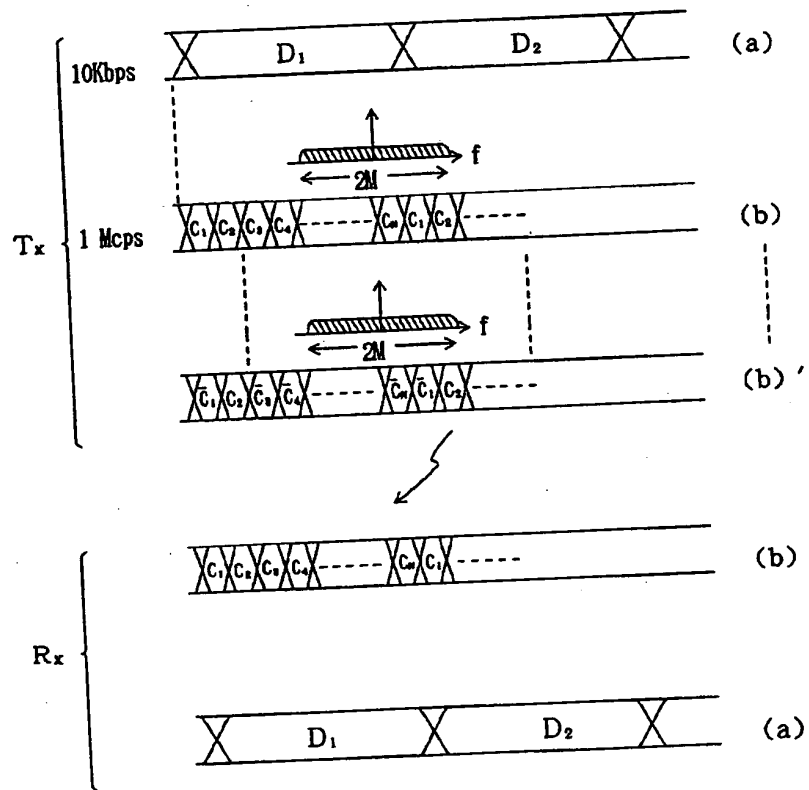
(b)



(c)

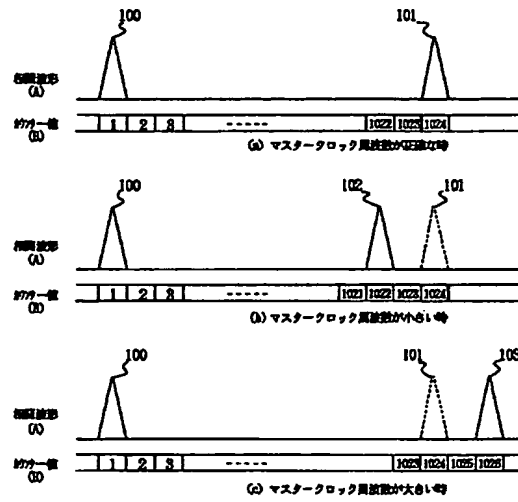
【図8】

SS方式受信機の動作説明図



【図10】

相関出力タイミングの説明図



..... **BLANK** (USPTO)